

●新特器件应用

CY7C53120 神经元芯片及其应用

石油大学(华东) 洪利

CY7C53120 Neuron Chip and Its Application

Hong Li

摘要: 由 Cypress 公司和 Toshiba 公司制造的神经元芯片 CY7C53120 是组成 LonWorks 控制网络的核心。其芯片内集成了介质访问控制、网络管理、控制应用等三个处理器,且内嵌 LonTalk 协议,并在 ROM 固件映像中包含预先编好的 I/O 驱动程序和网络操作系统。文中介绍了 CY7C53120 的内部结构、特点及具体应用。

关键词 神经元芯片; LonWorks 控制网络; LonTalk 协议; 固件; CY7C53120

分类号 TN915

文献标识码 B

文章编号 1006-6977(2002)02-0032-03

1 概述

CY7C53120 神经元芯片内集成了三个处理器,这是 LonWorks 控制网络的核心单元,网络中所有节点的介质访问控制、网络管理、控制应用均由它完成。CY7C53120 的工作电压为 5V,时钟频率为 10 MHz (CY7C53120E2)、40MHz (CY7C53120E4)。片内有 2k (CY7C53120E2)、4k (CY7C53120E4) 字节的 EEPROM 和 2k 字节的 SRAM 以及 10k (CY7C53120E2)、12k (CY7C53120E4) 字节的 ROM。其内嵌的低压检测电路可用于防止电源电压降低过程中的不正确操作和错误写入。另外, CY7C53120 还内嵌 LonTalk 协议通信协议,并在 ROM 固件映像中包含预先编好的 I/O 驱动程序和一个完整的网络操作系统。CY7C53120 这些特征使得它非常适合于组成现场监视控制网络。

CY7C53120 的主要特点:

- 11 个可编程 I/O 引脚;
- 内嵌 2 个 16 位的可编程定时器/计数器;
- 具有 34 种不同类型的 I/O 功能,可处理大量

的输入和输出;

● ROM 固件映像中包含预先编好的 I/O 驱动程序,大大简化了应用程序的编写;

● 2 个 CPU 用来处理内嵌的通信协议。通信 CPU 与应用 CPU 可并行工作;

● 内嵌 LonTalk 协议,协议支持 ISO(国际标准化组织)所定义的 OSI(开放系统互连)参考模型的全部 7 层服务;

● ROM 固件映像中包含一个完整的网络操作系统,可大大简化应用程序的编写;

● 内嵌双绞线收发器;

● 通信模式和通信速率可支持不同类型的外部收发器;

● 通信端口收发器模式和逻辑地址的信息都存储在 EEPROM 中;

● 应用程序可存储在 EEPROM 中,并可通过网络下载来更新应用;

● 内嵌看门狗定时器;

● 每个芯片都有唯一的 ID 号。此 ID 号可用于网络的逻辑安装;

真调试,这时可暂时割断 CAT24C021 的 RESET 引脚与仿真 CPU 之间的连线;

(6) 建议用户不要使用可编程复位门槛电压转换功能。

CATALYST 公司还提供了 CAT24C041、CAT24C081、CAT24C161 系列产品,其功能与 CAT24C021 一致,但其内部的 EPROM 容量分别为

4k、8k、16k 位,用户可根据需要选用。

参考文献

1. μ C 总线应用系统设计,何立民,北京航空航天大学出版社 1995,2

收稿日期:2001-08-08

咨询编号:020211

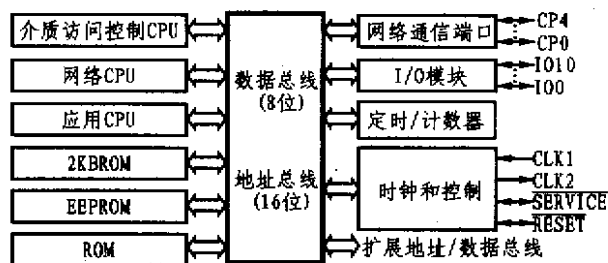


图1 CY7C53120 的结构图

- 支持睡眠工作模式,以达到节能的目的;
- 具有高阻抗通信端口(CP0~CP3)。

2 CY7C53120 的结构

CY7C53120 的内部结构如图1所示。它主要由处理器单元、应用 I/O 口和通信端口三部分组成。

2.1 处理器单元

CY7C53120 芯片内集成有三个处理器,其中一个执行用户应用程序,另两个用于完成网络任务。三个处理器的功能及内部共享存储器区域之间关系如图2所示。

CPU-1 是介质访问控制 (Media Access Control - MAC) 处理器,负责处理 7 层 LonTalk 协议的第 1 层和第 2 层。CPU-1 的处理功能包括驱动通信子系统硬件和执行介质访问算法。CPU-1 和 CPU-2 使用可共享存储区中的网络缓冲区相互通信。

CPU-2 是网络处理器,用来实现 LonTalk 协议的第 3~6 层。CPU-2 负责处理网络变量、寻址、事务处理、证实、背景诊断、软件定时器和网络管理。CPU-2 使用网络缓冲区与 CPU-1 通信,并使用应用缓冲区与 CPU-3 通信。这些缓冲区也位于共享存储区中。当更新共享数据时,对这些缓冲区的访问是由硬件信号装置协调的,因为这样可以避免冲突。

CPU-3 是应用处理器,用来执行用户编写的代码,并执行应用程序代码所调用的操作系统服务。

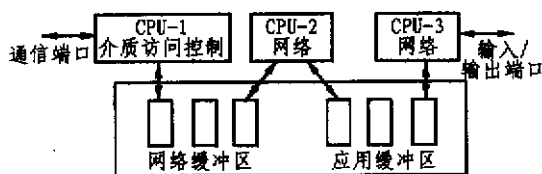


图2 内部共享存储区域之间关系

使用的编程语言是 Neuron C, Neuron C 派生于 ANSI C 语言,并对 ANSI C 语言进行了优化和增强,并能使用 LonWorks 分布式控制系统的应用程序。

2.2 应用 I/O 口

CY7C53120 具有 11 个 I/O 引脚 (IO0~IO10), 提供有 34 种编程方式,并可通过编程支持不同的 I/O 对象,如电平、脉冲、频率、编码等各种信号模式,以及直接 I/O 对象、定时器/计数器 I/O 对象、串行 I/O 对象、并行 I/O 对象等。另外,2 个 16 位定时器/计数器可用于频率和定时 I/O。由固件产生的 15 种软件定时器并不占用应用处理器的运算时间,而由完成网络功能的处理器实现。因此,用户可直接使用软件定时器,而不必考虑其具体操作。

2.3 通信端口

由 CP0~CP4 组成的通信接口可以工作在单端、差分模式或特殊模式,这些模式可直接驱动,也可外接变压器驱动或外接 485 总线驱动。其传输速率的选择范围为 0.6kbps~1.2Mbps。

3 引脚功能

CY7C53120 具有 32 脚 SOIC 和 44 脚 TQFP 两种封装形式,图3和图4分别为 SOIC 封装和 44 脚 TQFP 封装的引脚排列。各引脚的功能说明见表1所列。

4 应用系统

图5所示是基于 Neuron 芯片的应用系统,该系

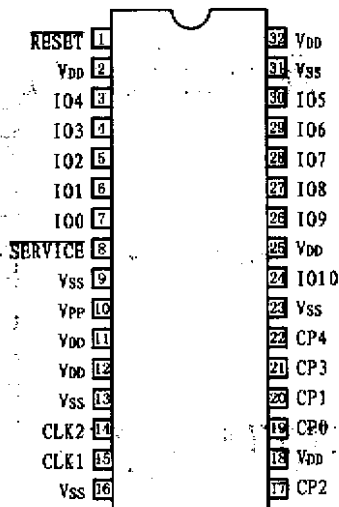


图3 CY7C53120 SOIC 封装引脚图

表 1 TMPN3120FE5M 的引脚描述 p100

SOIC - 32 引脚编号	TQFP - 44 引脚编号	引脚 名称	I/O	引 脚 功 能
15	15	CLK1	输入	连接振荡器或外部时钟输入
14	14	CLK2	输出	连接振荡器。当外部时钟信息输入 CLK1 时, CLK2 悬空
1	40	RESET	L/O	复位引脚。(低态有效)
8	5	SERVICE	L/O	服务引脚。工作期间指示灯输出
7,6,5,4	4,3,2,43	I00 ~ I03	L/O	大电流吸收能力(20mA)。通用 I/O 端口。当使用模数转换器时, I03 用作芯片与外部电阻器的连接
3,30,29,28	42,36,35,32	I04 ~ I07	L/O	通用 I/O 端口。可制定 I04 ~ I07 中的一个引脚为定时器/计数器 1 的输入。输出信号能传达到 I00。I04 可用做定时器/计数器 2 的输入引脚, 此时 I01 作为输出引脚。当使用 16 位的模数转换器时, I04 ~ I06 当中的一个引脚可用作模拟输入, I07 必须通过适当的外部电阻器连接到适当的外部电容器和 I03
27,26,24	31,30,27	I08 ~ I010	L/O	通用 I/O 端口, 可与其它器件串行通信
2,11,12, 18,25,32	9,10,19, 29,38,41	V _{DD}	输入	电源输入(典型值为 5.0V)
9,10,13, 16,23,31	7,13,16, 26,37	V _{SS}	输入	电源输入(0 V 接地)
10	8	V _{PP}		内部电路测试模式控制
19,20, 17,21,22	20,21, 18,24,25	CP0 ~ CP4	L/O	双向通信端口。通过指定模式支持一些通讯协议
	1,6,11,12,17,22, 23,28,33,34,39,44			NC

统由 Neuron 芯片、收发器和应用电路等部分构成。

其中 Neuron 芯片主要用于实现 LonTalk 协议服务,并执行节点中的应用程序。而收发器其实是连接 Neuron 芯片和通信介质之间的接口, 可用来支持双绞线、电力线、无线射频、光纤及红外等多种介质的

通信。应用电路是连接 Neuron 芯片的 I/O 引脚到诸如传感器、执行器、键盘、显示器等 I/O 设备所需的电路。可以按照不同的应用要求来配置 I/O 对象和编制 Neuron C 应用程序,以控制该应用系统的工作,并实现网络通信功能。

从图 5 所示的应用系统可知 Neuron 芯片的 I/O 可通过应用电路输入或输出数据与外界接口。借助于 Neuron 芯片固件中的 LonTalk 支持协议, Neuron 芯片可通过收发器实现与网上其它应用系统的双向数据通信。Neuron 芯片的强大功能和灵活结构,使其可以非常方便地组建分布式应用网络系统。

收稿日期 2001-07-12

咨询编号 202012

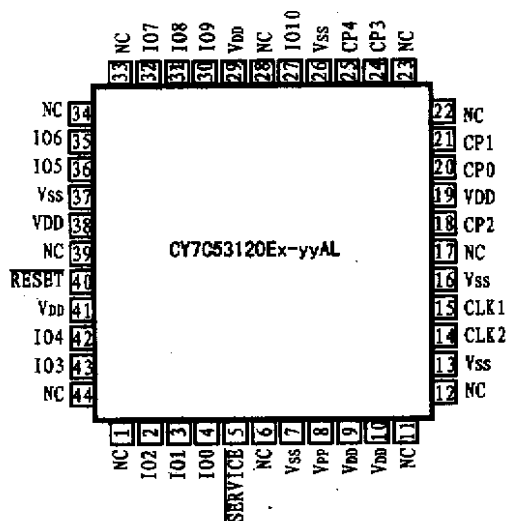


图 4 CY7C5310 采用 TQFP 封装的引脚排列

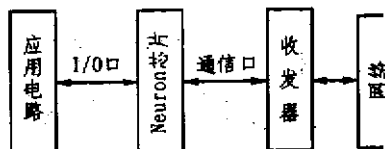


图 5 内部共享存储区域之间关系